

|  |  |
| --- | --- |
|  |  |
| **R E P O R T** | |
|  |  |

제목: 반가산기, VHDL - XOR

과목: 디지털 공학 및 기초

날짜(년/월/일): 2017/ 11/ 14

소속 학과: 컴퓨터 전자 시스템 공학부

학번: 201702234

이름: 유동혁

|  |
| --- |
| **본 보고서의 내용 중 다른 문서(자료)를 인용한 것이 있습니까?**  **예( V ) 아니오( )** |
| **위에서 ‘예’로 답한 경우, 인용한 다른 문서는 무엇인지 아래에**  **명시해 주세요. (여러 개의 경우 주요 자료 2개 까지)**  **참조:** <https://ko.wikipedia.org/wiki/%EA%B0%80%EC%82%B0%EA%B8%B0>  <http://woodforest.tistory.com/122> |

디지털 공학 및 실습 (예비 레포트)

학번: 201702234 이름: 유동혁

1. 제목: 반가산기 (9 주차)
2. 목적: 가산기(adder)의 종류 중 하나인 반가산기(half adder)에 대해 조사한다
3. 내용:

반가산기:

1비트 이진수 두 개를 더한 합 Sum (S)과 자리올림 수 Carry(C)를 구하는 회로.

AND, OR, NOT의 세 가지 종류의 논리 회로만으로 구성할 수 있다.

최종 값은 2^1\*C + 2^0\*S와 같다.

|  |  |
| --- | --- |
| 진리표 | 회로도 |
|  |  |

//출처:

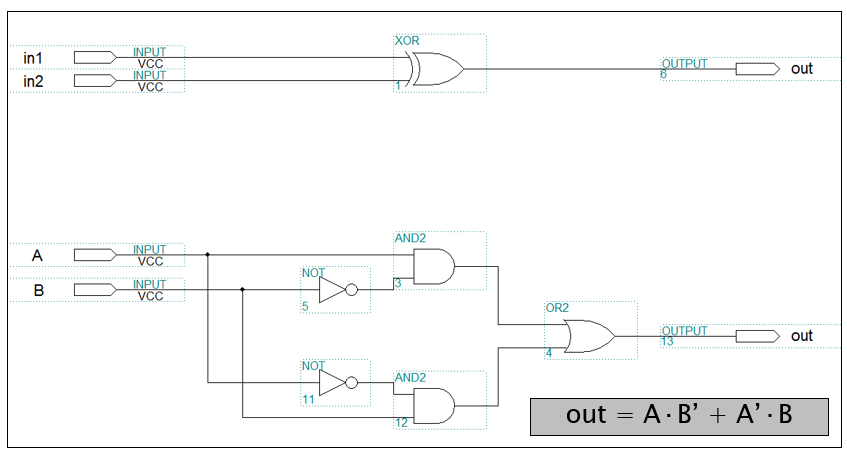
<https://ko.wikipedia.org/wiki/%EA%B0%80%EC%82%B0%EA%B8%B0>

<http://woodforest.tistory.com/122>

디지털 공학 및 실습 (결과 레포트)

학번: 201702234 이름: 유동혁

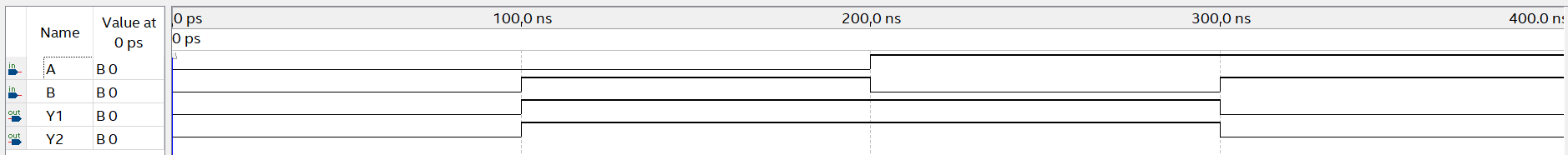
1. 제목: VHDL - XOR (9 주차)
2. 목적: VHDL 코드를 이용하여, XOR 회로를 구현
3. 내용:



위와 같은 회로도를 코드로 구현하면 다음과 같음.

|  |
| --- |
| library ieee; use ieee.std\_logic\_1164.all; //라이브러리 ieee에서 ieee.std\_logic\_1164를 사용    entity xor\_VH is  port(A, B : in std\_logic; Y1, Y2 : out std\_logic); //input은 A, B이고, output은 Y1, Y2  end xor\_VH;    architecture xor\_body of xor\_VH is  begin  Y1 <= A xor B; // Y1은 A XOR B이다.  Y2 <= (not(A) and B) or (A and not (B)); // Y2는 A'B + AB'이다.  end xor\_body; |

1. 결과:



1. 느낀 점:

VHDL코드를 사용해 XOR 과 A’B + AB’이 같음을 알아보았다.